

PAT-NO: JP406005788A  
DOCUMENT-IDENTIFIER: JP 06005788 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: January 14, 1994

INVENTOR-INFORMATION:

NAME  
MISAKI, KOICHIRO

INT-CL (IPC): H01L027/04

ABSTRACT:

PURPOSE: To enhance relative accuracy by alternately connecting in series an even number of unit resistors arranged in parallel to form two equivalent resistors thereby making possible to suppress fluctuation of the layer resistance of diffusion layer in the direction perpendicular to the longitudinal direction of the resistor.

CONSTITUTION: Four diffusion resistor layers 11-14 are formed in the surface region of a silicon substrate 18, wherein the diffused resistor layers 11, 12 and 13, 14 are sandwiched, respectively, by a pair of dummy resistor layers 15. Furthermore, diffused resistor layers 11, 14 are connected through a contact hole 16 and an Al wiring 17a. Similarly, the diffused resistor layers 12, 13 are connected through the contact hole 16 and the Al wiring 17a thus obtaining two equivalent resistors. According to the constitution, fluctuation of resistance between the diffused resistors layers 11, 12 is offset by the fluctuation of resistance between the diffused resistor layers 13, 14.

COPYRIGHT: (C)1994,JPO&Japio

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: Four diffusion resistor layers 11-14 are formed in the surface region of a silicon substrate 18, wherein the diffused resistor layers 11, 12 and 13, 14 are sandwiched, respectively, by a pair of dummy resistor layers 15. Furthermore, diffused resistor layers 11, 14 are connected through a contact hole 16 and an Al wiring 17a. Similarly, the diffused resistor layers 12, 13 are connected through the contact hole 16 and the Al wiring 17a thus obtaining two equivalent resistors. According to the constitution, fluctuation of resistance between the diffused resistors layers 11, 12 is offset by the fluctuation of resistance between the diffused resistor layers 13, 14.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5788

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl<sup>5</sup>

H 01 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

P 8427-4M

R 8427-4M

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

特願平4-186171

(22)出願日

平成4年(1992)6月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 見崎 光一郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内

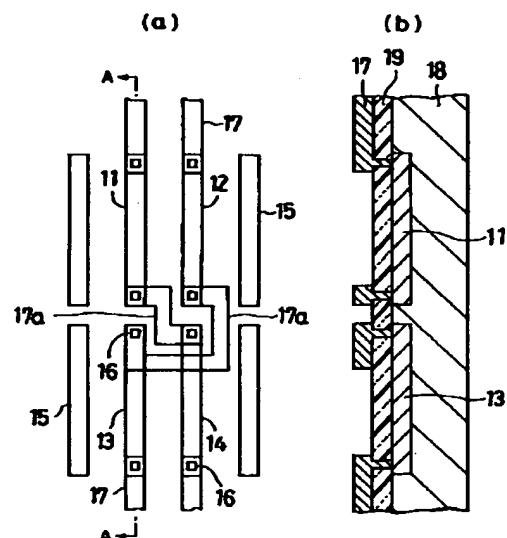
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 2本の等価な抵抗体の相対精度を向上させる。

【構成】 拡散抵抗層11と拡散抵抗層14とをコンタクト孔16を介してA1配線17aにより接続し、また拡散抵抗層12と拡散抵抗層13とをコンタクト孔16を介してA1配線17aにより接続して2本の等価な抵抗を得る。



11～14…p型拡散抵抗層

15…p型ダミー抵抗層

16…コンタクト孔

17, 17a…Al配線

18…n型シリコン基板

19…絶縁膜

1

## 【特許請求の範囲】

【請求項1】 半導体基板の表面領域内または半導体基板上の絶縁膜上に複数本のユニット抵抗を近接してマトリックス状に配置し、各ユニット抵抗を交差接続して2本の等価な抵抗体を形成したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特にアナログ半導体集積回路装置あるいはアナログ/デジタル混載半導体集積回路装置のように、対となった高精度の抵抗体を必要とする半導体装置に関する。

## 【0002】

【従来の技術】 アナログ集積回路等では、オペアンプ入力段のペア負荷抵抗等に高精度の抵抗体が要求される。図2の(a)はこの種用途に用いられるペア抵抗体のレイアウト図であり、図2の(b)はそのB-B線断面図である。

【0003】 即ち、従来は、n型シリコン基板28の表面領域内に、p型拡散抵抗層21、22とこれらを挟むp型ダミー抵抗層25とを形成し、p型拡散抵抗層21、22をコンタクト孔26、A1配線27を介して他の素子に接続していた。

【0004】 従来の半導体装置では、①同一寸法の2本の拡散抵抗層を並行に近接させて設ける、②2本の拡散抵抗層をダミー抵抗層によって挟む、ことにより二本の抵抗体の相対精度の向上に努めてきた。

## 【0005】

【発明が解決しようとする課題】 上述した従来の半導体装置では、抵抗の長さ方向に垂直な方向のばらつき、すなわち、この場合、p型拡散抵抗層の層抵抗のばらつきを抑圧することができないため、ペア抵抗体の抵抗値間のバランスをとることが困難であった。そのため、例えば、この抵抗体をオペアンプに用いた場合にはオフセット電圧の増大を招く等の不都合があった。

## 【0006】

【課題を解決するための手段】 本発明の半導体装置は、半導体基板の表面領域内または半導体基板上の絶縁膜上に偶数本のユニット抵抗を近接して平行に配置し、それらのユニット抵抗を交互に直列接続して2本の等価な抵抗体を形成したものである。

## 【0007】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1の(a)は、本発明の一実施例を示すレイアウト図であり、図1の(b)はそのA-A線断面

2

図である。図1に示されるように、n型シリコン基板18の表面領域内には4本のp型拡散抵抗層11～14が形成され、拡散抵抗層11、12および拡散抵抗層13、14はそれぞれ1対のp型ダミー抵抗層15に挟まれている。

【0008】 p型拡散抵抗層11とp型拡散抵抗層14とはコンタクト孔16を介してA1配線17aにより接続されている。同様に、p型拡散抵抗層12とp型拡散抵抗層13とは、コンタクト孔16を介してA1配線17aにより接続されている。また、各拡散抵抗層11～14は、コンタクト孔16、A1配線17を介して他の回路と接続されている。

【0009】 このように構成された2本の抵抗体間では抵抗値のばらつきは抑制される。即ち、抵抗層11と抵抗層12との間に抵抗値のばらつきがあつても、このばらつきは抵抗層13と抵抗層14との間のばらつきによって相殺され、その結果、これらの抵抗体の相対誤差は、従来例の場合の1/4程度に抑制される。

【0010】 以上好ましい実施例について説明したが、20 本発明はこの実施例に限定されるものではなく、各種の変更が可能である。例えば、拡散抵抗に代えて薄膜抵抗とすることができる、また各ユニット抵抗を接続するのにシリサイド配線等他の材料の配線を用いることができる。

## 【0011】

【発明の効果】 以上説明したように、本発明は、2本の等価な抵抗を、平行に配置された偶数本のユニット抵抗を交互に直列接続することにより形成したものであるので、本発明によれば、抵抗の長さ方向と垂直な方向の拡散層の層抵抗のばらつきを抑圧することができ、相対精度を向上させることができる。従って、本発明によるペア抵抗体をオペアンプの入力段の負荷抵抗に用いた場合には、オフセット電圧の増大を抑制することができる。

## 【図面の簡単な説明】

## 【図1】 本発明の一実施例のレイアウト図とその断面

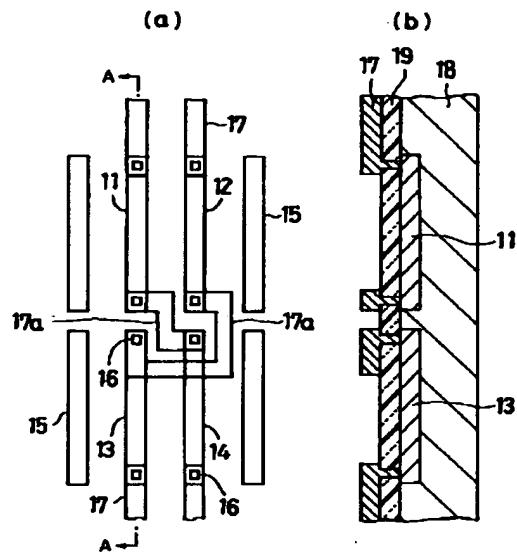
図。

## 【図2】 従来例のレイアウト図とその断面図。

## 【符号の説明】

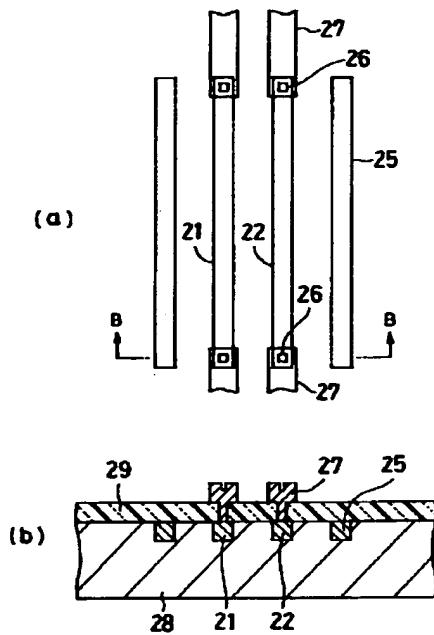
- |             |          |
|-------------|----------|
| 11～14、21、22 | p型拡散抵抗層  |
| 15、25       | p型ダミー抵抗層 |
| 16、26       | コンタクト孔   |
| 17、17a、27   | A1配線     |
| 18、28       | n型シリコン基板 |
| 19、29       | 絶縁膜      |

【図1】



11～14--p型抵抗層  
15--p型ダミー抵抗層  
16--コンタクト孔  
17,17a--Al配線  
18--n型シリコン基板  
19--絶縁膜

【図2】



21,22--p型抵抗層  
23--n型シリコン基板  
24--コンタクト孔  
25--p型ダミー抵抗層  
26--Al配線  
27--絶縁膜